

## MÔ PHỎNG TRANSISTOR HIỆU ỨNG TRƯỜNG DÂY NANO KẼM OXIT

Nguyễn Thành Tiên<sup>1</sup> và Trần Hồng Nghĩa<sup>2</sup>

<sup>1</sup> Khoa Khoa học Tự nhiên, Trường Đại học Cần Thơ

<sup>2</sup> Học viên cao học, Khoa Khoa học Tự nhiên, Trường Đại học Cần Thơ

### Thông tin chung:

Ngày nhận: 17/06/2013

Ngày chấp nhận: 25/02/2014

### Title:

A simulation of zinc oxide nanowire field-effect transistors

### Từ khóa:

Mô phỏng, dây nano, tran-zi-to hiệu ứng trường, đặc tuyến Vôn-Ampe, cấu hình cực cổng, oxit kẽm

### Keywords:

Simulation, Nanowire, Field-Effect Transistor, Volt-Ampere characteristics, gate configuration, zinc oxide

### ABSTRACT

We report the simulation results of the field-effect transistor (FET) with various gate structures in order to find the FETs having the best electrical properties. We changed the "gate configuration" with different arrangement gates (single-gate, double-gate, ordinary triple-gate, Pi-gate, omega-gate and gate all around (GAA)). Based on the simulation data, we drawn the Volt-Ampere characteristics lines (I-V). Then, we calculated the physical parameters affecting the operation of FETs including: threshold voltage, subthreshold slope, saturation currents, the on-off current ratio. Our simulations showed that the gate all around structure has better properties than the other structures, especially this structure restricts the short-channel effects.

### TÓM TẮT

Chúng tôi báo cáo các kết quả mô phỏng transistor hiệu ứng trường với nhiều cấu trúc cổng khác nhau nhằm tìm ra FET có đặc tính điện tốt nhất. Chúng tôi thay đổi "hệ cực cổng" với các cách sắp xếp cực cổng khác nhau (một cổng, hai cổng, ba cổng thường, cổng dạng  $\pi$ , cổng dạng  $\Omega$  và cổng bao vòng quanh). Dựa vào kết quả mô phỏng là bộ dữ liệu số, chúng tôi vẽ các đường đặc tuyến Vôn-Ampe (I-V). Sau đó, chúng tôi tính các thông số vật lý ảnh hưởng đến hoạt động của FET gồm: điện áp ngưỡng, độ dốc dưới ngưỡng, dòng điện bão hòa, tỷ lệ dòng điện ở trạng thái mở và trạng thái đóng, độ dẫn truyền. Chúng tôi ghi nhận được rằng, cấu trúc cổng bao vòng quanh có nhiều tính chất tối ưu hơn các cấu trúc cổng khác, đặc biệt là nó hạn chế được hiệu ứng kênh ngắn.

## 1 GIỚI THIỆU

Transistor là nền tảng của nhiều thiết bị điện tử hiện đại. Transistor ra đời năm 1947 tại Bell Labs do ba nhà khoa học John Bardeen, Walter Brattain và William Shockley tìm ra để thay thế bóng điện tử cổng kênh. Các thiết bị điện tử ngày càng có xu hướng nhỏ hơn và đòi hỏi phải hoạt động nhanh hơn, một trong những việc giảm kích thước thiết bị là giảm kích thước của transistor. Lúc đầu transistor chỉ là linh kiện vật liệu khối với lớp chuyển tiếp p-n của vật liệu Si pha tạp, đến năm 1960 transistor oxit kim loại hiệu ứng trường đầu

tiên được chế tạo trên nền Si và lấy SiO<sub>2</sub> làm chất cách điện. Những thiết bị điện tử chạy càng nhanh thì số lượng transistor trên một chip thường phải càng lớn. Năm 1965, Gordon Moore đã tiên đoán rằng cứ mỗi hai năm mật độ transistor trong các chip sẽ tăng lên gấp đôi [1]. Theo thời gian, chúng ta thấy rằng sự tiên đoán của Moore là phù hợp, vì thế nó được đặt là "định luật Moore".

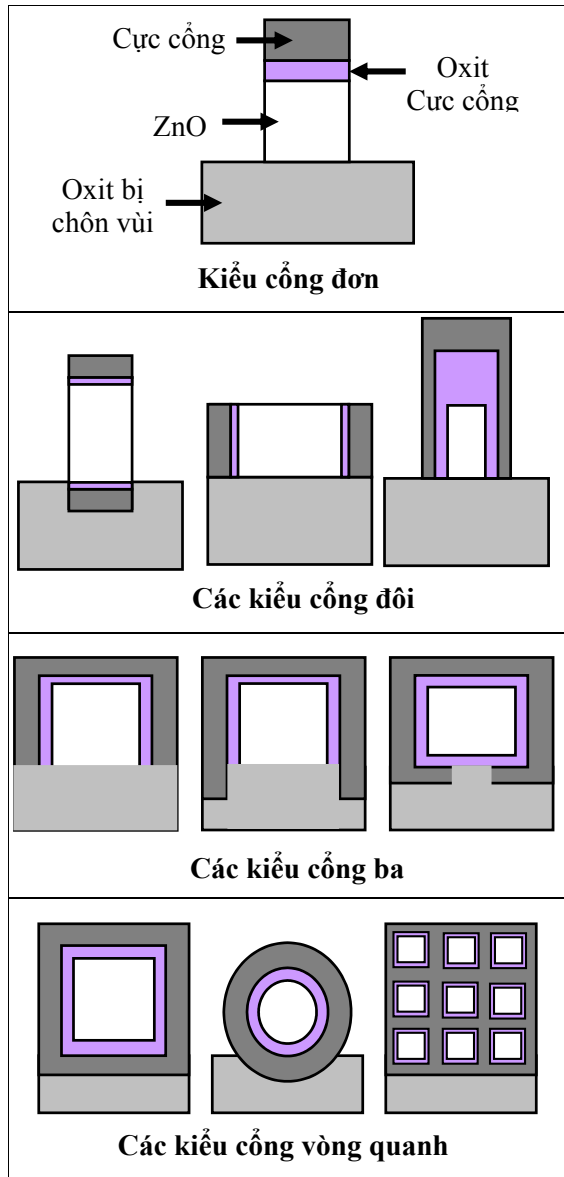
Tuy nhiên việc thu nhỏ transistor trong những năm gần đây gặp nhiều trở ngại khi kích thước của vật liệu ở vào khoảng nano mét. Sự thu nhỏ của linh kiện làm chiều dài của kênh cũng thu hẹp dần

đến xuất hiện hiệu ứng kênh ngắn. Những vấn đề của hiệu ứng kênh ngắn thường gặp phải như sự rò dòng điện, nhiệt độ tăng cao. Hơn nữa, khi vật liệu tiến đến kích thước nano thì xuất hiện những hiện tượng vật lý mới như vận chuyển đạn đạo và hiệu ứng chui ngầm, vấn đề quang khắc cũng ảnh hưởng (một kỹ thuật quan trọng trong chế tạo chip). Những hiện tượng này làm ảnh hưởng lớn đến việc hiện thực các transistor ở kích thước nano. Như vậy cần có các cấu trúc mới, vật liệu mới đạt tính thực thi cao hơn. Kẽm oxit (ZnO) là một trong những vật liệu đầy triển vọng để thay thế Silic trong các transistor hiệu ứng trường. Gần đây, vật liệu ZnO một chiều chẳng hạn như thanh nano hay dây nano đã được nghiên cứu để sử dụng trong các transistor thay thế cho màng mỏng bằng Si thông thường [2]. Các nghiên cứu transistor hiệu ứng trường dựa trên dây nano (NWFETs) ZnO có tính khả thi về độ linh động điện tử, độ dốc dưới ngưỡng và tỉ lệ đóng-mở dòng điện đã được xác nhận [3]. Để mô tả các đặc tính và giới hạn hoạt động của những transistor mới này, mô hình chính xác là rất quan trọng. Trong nghiên cứu này, chúng tôi sử dụng một công cụ được cung cấp bởi Đại học Purdue và được tài trợ bởi dự án nanoHUB [4]. Công cụ này có tên là Multi-gate Nanowire FET, cho phép chúng ta nhập vào các đặc tính, tính chất của ZnO, thông qua công cụ mô phỏng chúng tôi thu được các đặc tính điện và các thông số linh kiện ứng với các kiểu cấu trúc khác nhau của FET với các cấu hình cực cổng khác nhau (từ một cổng đến bốn cổng). Chúng tôi so sánh, phân tích các kết quả và rút ra các kết luận đối với NWFETs ZnO.

**2 MÔ HÌNH VẬT LÝ CỦA HỆ NGHIÊN CỨU**

Như thảo luận ở phần trên, việc giảm kích thước FET làm tăng hiệu ứng kênh ngắn, hay làm độ dốc dưới ngưỡng và điện áp ngưỡng thay đổi. Những hiệu ứng kênh ngắn xuất phát từ sự mất tác dụng điều khiển của cực cổng do có tồn tại điện trường giữa cực nguồn và cực máng. Nhiều thế hệ linh kiện mới đã được phát triển nhằm loại bỏ những ảnh hưởng của trường này, như làm đầy vùng nghèo trên lớp cách điện bằng cách để điện trường xuyên qua lớp oxit bị chôn vùi trước khi ảnh hưởng đến kênh. Tuy nhiên, khi lớp oxit bị chôn vùi càng mỏng, sẽ làm tăng điện dung tiếp giáp và xuất hiện những hiệu ứng khối [5]. Một giải pháp giải quyết cho vấn đề này là sử dụng nhiều cổng, nghĩa là thiết kế các cổng trên các mặt bên của kênh. Để khảo sát những ảnh hưởng của hệ các cổng đối với thực thi linh kiện, chúng tôi sử dụng các kích thước linh kiện giống nhau và thay

đổi sự sắp xếp cực cổng. Chiều dài cực cổng,  $L_g$ , và chiều dài kênh,  $L_c$ , được đặt là 50 nm. Oxit cực cổng có độ dày 1 nm và kích thước dây nano được chọn là độ rộng  $W$  và độ cao  $T$  đều bằng 25 nm, cho các linh kiện này hoạt động ở nhiệt độ phòng (300 K). Dây nano mô phỏng là dây ZnO loại n theo hướng  $[10\bar{1}0]$ . Hình 1 là minh họa tiết diện ngang các hệ cổng khác nhau của FET gồm hệ cổng đơn (single-gate), cổng đôi (double-gate), cổng ba (Triple-gate) gồm cả cổng dạng  $\pi$  (Pi-gate) và cổng dạng  $\Omega$  (omega-gate), cổng bốn (Quadruple-gate), và cổng vòng quanh (Gate-All-Around-GAA).

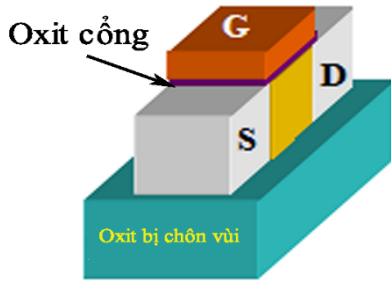


**Hình 1: Mô hình các cấu trúc cực cổng khác nhau**

### 3 CÁC KẾT QUẢ MÔ PHỎNG

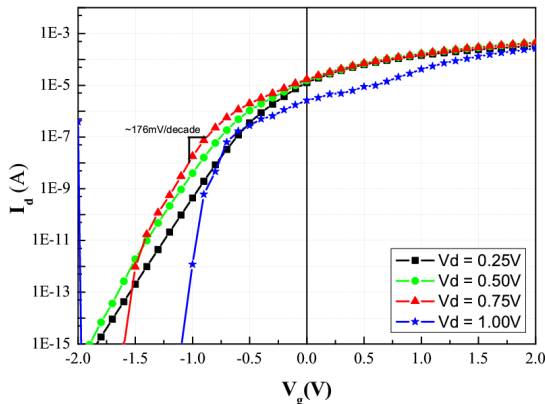
#### 3.1 Mô hình cổng đơn

FET hệ cổng đơn giống với những FET truyền thống có cực cổng phía trên (Hình 2). Mô phỏng ở đây được thực hiện với các thông số như độ dày lớp oxit cổng được đặt là 1 nm, độ dày và chiều rộng lớp oxit chôn vùi phía dưới được đặt lần lượt là 50 nm và 30 nm.



Hình 2: Mô hình cổng đơn

Hình 3 là kết quả mô phỏng đặc tuyến  $I_d-V_g$  của một ZnO NWFET cổng đơn với sự thay đổi điện áp cực máng  $V_d = 0.25; 0.5; 0.75$  và  $1V$ . Chúng tôi xác định được độ giảm rào thế bởi cực máng (Drain Induced Barrier Lowering: DIBL) từ hai đường đặc tuyến  $I_d-V_g$  (với  $V_d=0.75$  V và  $V_d=0.25$  V) có giá trị là 100 mV/V. Đây là một giá trị tương đối lớn và không mong muốn. Dòng điện “ON”,  $I_{on}$  thu được là  $6.95 \times 10^{-5}$  A tại  $V_g=0.5V$  ( $V_d=0.75V$ ), trong khi dòng điện “OFF”,  $I_{off}=1.97 \times 10^{-6}$  A đo tại  $V_g=-0.5$  V ( $V_d=0.75$  V). Tỷ lệ  $I_{on}/I_{off}$  thu được khoảng 35.3, giá trị này rất thấp.

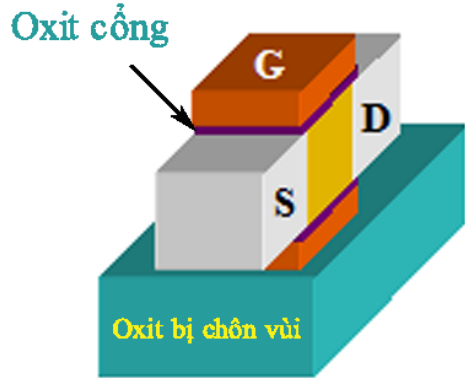


Hình 3: Đặc tuyến  $I_d-V_g$  của NWFET ZnO một cổng ứng với các giá trị  $V_d$  khác nhau

#### 3.2 Mô hình cổng đôi

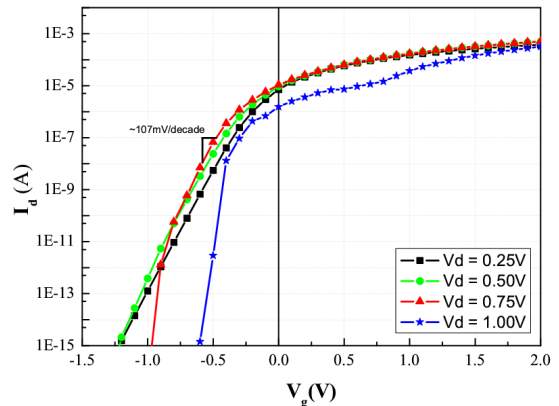
Một phương pháp để giảm hiệu ứng kênh ngắn khi giảm kích thước FET là việc sử dụng nhiều cực cổng, cấu trúc hai cổng đã được phát minh lần đầu

tiên bởi Sekigawa và Hayashi năm 1984 [6]. Mô hình được vẽ ở Hình 4.



Hình 4: Mô hình cổng đôi

Chúng tôi mô phỏng NWFET ZnO hai cổng với độ dày lớp oxit giữa hai cực cổng và lớp kênh dây nano là 1 nm (như đã sử dụng với hệ một cổng ở mục trên). FET hai cổng này cho thấy sự truyền dẫn đã được cải thiện nhưng không đáng kể, bên cạnh đó dòng điện được điều khiển vẫn còn thấp. Kết quả mô phỏng cho ta đặc tuyến  $I_d-V_g$  thể hiện trong Hình 5 ứng với những thay đổi điện áp cực máng từ 0.25 V đến 1 V và với dòng điện bão hòa cực máng thu được khoảng  $2.23 \times 10^{-4}$  A so với giá trị  $1.85 \times 10^{-4}$  A của FET một cổng. Đối với sự thay đổi điện áp cực cổng khoảng giá trị 1V (từ -0.5 V đến 0.5 V), ta thu được tỉ lệ  $I_{on}/I_{off}$  khoảng 958 với  $V_d=0.75$  V, cao hơn khoảng 27 lần so với FET một cổng.

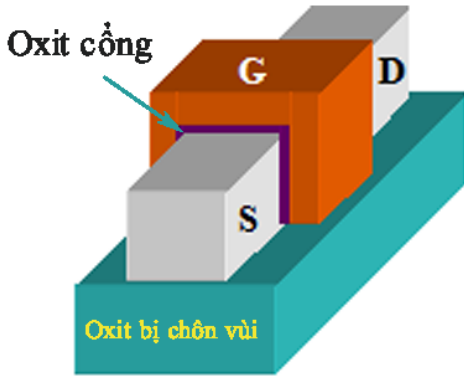


Hình 5: Đặc tuyến  $I_d-V_g$  của NWFET ZnO hai cổng ứng với các giá trị  $V_d$  khác nhau

#### 3.3 Mô hình ba cổng

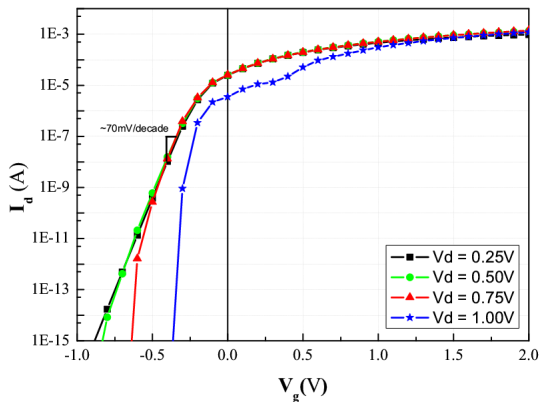
Hệ ba cổng là thêm một cực cổng khác so với hệ hai cổng, vì thế kênh dẫn được bao bọc ba bên bởi các điện cực của cực cổng (Hình 6). Transistor

Si ba cực cổng đầu tiên được phát triển bởi Intel với những cải tiến trong điều khiển dòng điện và giảm đáng kể dòng điện rò ở trạng thái tắt (off-state) so với FET một cổng [7].



Hình 6: Mô hình ba cổng

Chúng tôi mô phỏng NWFET ZnO ba cực cổng có độ dày lớp oxit cực cổng là 1 nm bao xung quanh kênh và độ dày lớp oxit bị chôn vùi là 10 nm đặt ở mặt thứ tư của kênh. Đồ thị biểu diễn các đặc tuyến  $I_d-V_g$  thu được trong Hình 7. Khi thay đổi điện áp cực cổng là 1V (từ -0.5 V đến 0.5 V), tỉ lệ  $I_{on}/I_{off}$  thu được khoảng  $7.3 \times 10^5$  đã được đo ở  $V_d=0.75$  V, cao hơn khoảng 762 lần so với FET hai cổng.

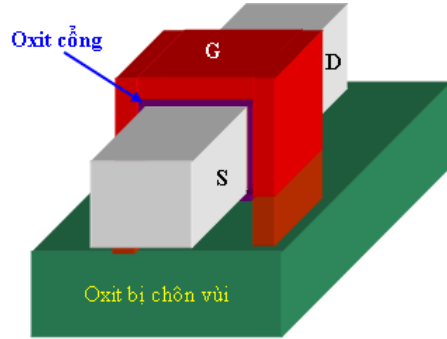


Hình 7: Đặc tuyến  $I_d-V_g$  của NWFET ZnO ba cực cổng thường ứng với các giá trị  $V_d$  khác nhau

### 3.4 Mô hình cổng dạng $\pi$

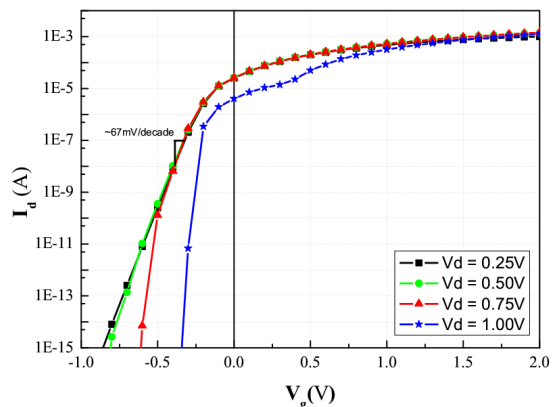
Một cấu trúc khác của FET liên quan đến hệ ba cổng đã được nghiên cứu để loại bỏ hiệu ứng kênh ngắn là cấu trúc cổng dạng  $\pi$  (Hình 8). Cấu trúc này có hai cổng dọc hai bên và một cực cổng phía trên của kênh dẫn, có một phần mở rộng của cực

cổng bên dưới kênh bán dẫn sâu vào lớp oxit bị chôn vùi. Điều này giúp bảo vệ kênh tránh điện trường thẳng của cực máng vì thế linh kiện thực thi tốt hơn. Cấu trúc cổng dạng  $\pi$  được cho là dễ chế tạo hơn cấu trúc cổng vòng (sẽ đề cập phần sau), cấu trúc này chỉ đòi hỏi bổ sung thêm một màn chắn và thực hiện phản ứng khắc ion lớp oxit chôn vùi ăn mòn trong các bước chế tạo transistor thông thường [8].



Hình 8: Mô hình cổng dạng  $\pi$

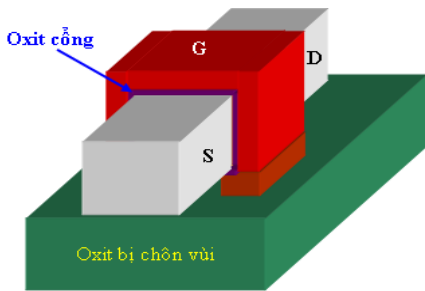
Cấu trúc NWFET ZnO được mô phỏng dạng cổng này có độ dày lớp oxit là 1 nm bao xung quanh kênh như cấu trúc ba cổng ở phần trên, và độ dày lớp oxit bị chôn vùi là 10 nm. Phần mở rộng vuông góc của cực cổng xuyên xuống lớp oxit bị chôn vùi được đặt là 4 nm. Các đường đặc tuyến  $I_d-V_g$  thay đổi đối với NWFET cổng Pi được mô tả trong Hình 9 cho thấy một độ dốc dưới ngưỡng đạt được khoảng 67 mV/decade. Khoảng điện áp cực cổng từ -0.5 V đến 0.5 V đã được sử dụng để tính được tỉ lệ  $I_{on}/I_{off}$  là  $1.5 \times 10^6$  với giá trị  $V_d=0.75$  V. Giá trị này cao hơn so với FET ba cổng thông thường.



Hình 9: Đặc tuyến  $I_d-V_g$  của NWFET ZnO cực cổng dạng  $\pi$  ứng với các giá trị  $V_d$  khác nhau

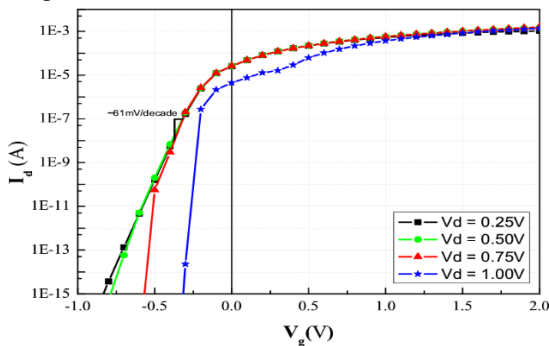
### 3.5 Mô hình cổng dạng $\Omega$

Cấu trúc cổng dạng  $\Omega$  (Hình 10) gần giống như của cổng dạng Pi, về bản chất cả hai linh kiện đều là hệ ba cổng với một điện cực mở rộng xuống phía dưới có tác dụng giảm hiệu ứng kênh ngắn. Tuy nhiên, những linh kiện cổng dạng  $\Omega$  có phần bên được che sâu vào kênh phía bên trong vì thế cấu trúc này gần giống với cấu trúc cổng vòng quanh sẽ trình bày ở mục sau. Nó là cấu trúc trung gian giữa hệ ba cổng và hệ bốn cổng. Cấu trúc này cũng hấp dẫn vì quá trình chế tạo tương đối đơn giản so với dạng cổng vòng/cổng bốn [9].



Hình 10: Mô hình cổng dạng  $\Omega$

NWFET ZnO cổng dạng  $\Omega$  mà chúng tôi mô phỏng có kích thước dây nano là độ rộng  $W=$  độ cao  $T$  là 25 nm với độ dày lớp oxit cổng là 1 nm (giống như các hệ phía trước) và độ dày lớp oxit bị chôn vùi là 5 nm. Phần cực cổng mở xuống phía dưới kênh là 11 nm. Các đường đặc tuyến  $I_d-V_g$  thu được trên Hình 11 cho chúng ta thấy FET hoạt động ở chế độ nghèo và giá trị SS vào khoảng 61 mV/decade, gần giống như linh kiện FET cổng dạng  $\pi$ . Khoảng điện áp cực cổng từ -0.5 V đến 0.5 V với  $V_d=0.75$  V, chúng tôi thu được tỉ lệ  $I_{on}/I_{off}$  là  $3.95 \times 10^6$ , lớn gấp hai lần giá trị này của FET cổng dạng  $\pi$ .

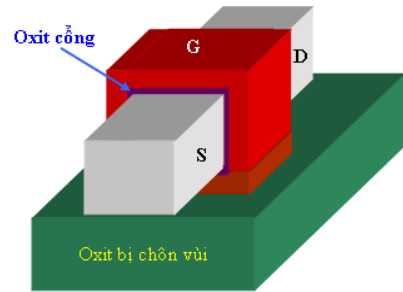


Hình 11: Đặc tuyến  $I_d-V_g$  của NWFET ZnO cực cổng dạng  $\Omega$  ứng với các giá trị  $V_d$  khác nhau

### 3.6 Mô hình cổng bao vòng quanh

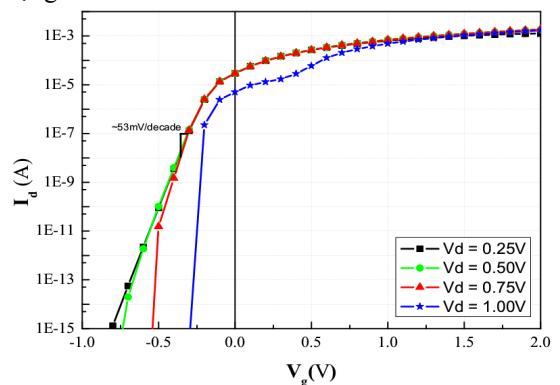
Việc bổ sung những cực cổng ở các bên của

kênh như linh kiện hai cổng, ba cổng, cổng dạng  $\pi$  và cổng dạng  $\Omega$  đạt được kết quả tốt hơn trong thực thi linh kiện, hệ cực cổng bao vòng quanh (GAA) (Hình 12) được mong đợi, bởi nó cho ta sự điều khiển tốt nhất của cực cổng với kênh từ những cực cổng xung quanh trên tất cả các mặt của kênh, với giá trị truyền dẫn cao hơn và hạn chế hiệu ứng kênh ngắn tốt hơn được mong đợi [10].



Hình 12: Mô hình cổng bao vòng quanh

Trong phần này, chúng tôi mô phỏng linh kiện NWFET ZnO cổng bao vòng quanh dây nano cũng có đường kính 25 nm (giống như những hệ trước đây) với một lớp oxit dày 1 nm (giống như trong những hệ trước) ở đây các cổng trên tất cả bốn mặt bên của kênh được nối chung. Hình 13 mô tả các đường đặc tuyến  $I_d-V_g$  đối với sự thay đổi điện áp cực máng khoảng từ 0.25 V đến 1 V cho thấy FET hoạt động ở chế độ nghèo và độ dốc dưới ngưỡng khoảng 53 mV/decade tại  $V_d=0.75$  V. Đối với điện áp cực máng  $V_d=0.75$  V, tỉ lệ  $I_{on}/I_{off}$  được xác định trong khoảng thay đổi điện áp từ -0.5 V đến 0.5 V là  $1.74 \times 10^7$ . Giá trị này tốt hơn so với cổng dạng  $\Omega$ .



Hình 13: Đặc tuyến  $I_d-V_g$  của NWFET ZnO cực cổng dạng bao vòng quanh ứng với các giá trị  $V_d$  khác nhau

Từ các kết quả mô phỏng chúng tôi cũng tính thêm các thông số đặc trưng khác và so sánh các giá trị của chúng tương ứng với các kiểu cổng khác nhau liệt kê ở Bảng 1.

**Bảng 1: Các kết quả mô phỏng của một số thông số vật lý đặc trưng của FET ứng với các kiểu cổng khác nhau**

Các thông số vật lý	Cổng đơn	Cổng đôi	Cổng ba	Cổng dạng $\pi$	Cổng dạng $\Omega$	Cổng bao vòng quanh
Điện áp ngưỡng $V_{th}(V)$	-0.46	-0.33	-0.30	-0.29	-0.26	-0.263
Độ dốc dưới ngưỡng, SS (mV/decade) khi $V_d=0.75 V$	176	107	70	67	61	53
Dòng bão hòa, $I_{dss}(10^{-4} A)$	1.85	2.23	1.94	1.24	5.91	7.33
$I_{on}/I_{off}$	35.3	958	$7.3 \times 10^5$	$1.5 \times 10^6$	$3.95 \times 10^6$	$1.74 \times 10^7$
Độ dẫn truyền $g_m(10^4 \mu S/\mu m)$	1.35	1.56	4.15	4.31	4.45	5.44

Từ các kết quả trong Bảng 1, chúng ta thấy rằng tính thực thi linh kiện đã được cải thiện từ FET có cấu trúc một cổng đến cấu trúc GAA. Điện áp ngưỡng thay đổi không nhiều, ổn định quanh -0.3 V. Kết quả mô phỏng ghi nhận có sự cải thiện đáng kể các giá trị của độ dốc dưới ngưỡng thay đổi từ 176 mV/decade đến 53 mV/decade khi tăng số cổng. Việc chế tạo nhiều cổng đã loại bỏ dần được dòng điện ở trạng thái tắt (off-state) khi khoảng dao động điện áp cực cổng không đổi. Tỷ lệ dòng điện  $I_{on}/I_{off}$  được tăng cường khoảng sáu bậc độ lớn từ 3.5 đến  $1.74 \times 10^6$  khi tăng số cổng. Tuy nhiên, dòng điện ở trạng thái mở (on-state) và bão hòa thì có giá trị thấp theo kết quả mô phỏng, đây là những giá trị dẫn truyền bình thường. Trong khi đó, dòng bão hòa  $I_{dss}$  tăng khoảng 6 lần và độ dẫn truyền  $g_m$  tăng lên khoảng gần 4 lần, khi chúng ta tăng số các cực cổng lên.

**4 KẾT LUẬN**

Với việc sử dụng công cụ Multi-gate Nanowire FET, chúng tôi đã nghiên cứu các cấu trúc ảnh hưởng đến tính thực thi của NWFET ZnO. Chúng tôi thay đổi các hệ cực cổng khác nhau nhằm cố gắng tìm ra cấu trúc tối ưu cho NWFET ZnO. Chúng tôi khảo sát sáu cấu trúc cực cổng khác nhau (một cổng, hai cổng, ba cổng, cổng dạng  $\pi$ , cổng dạng  $\Omega$  và cổng bao vòng quanh). Chúng tôi ghi nhận được rằng transistor hiệu ứng trường dây nano ZnO với cấu trúc cổng bao vòng quanh có tính thực thi tốt nhất trong các cấu trúc chúng tôi mô phỏng.

Để tìm cấu trúc tối ưu hơn chúng tôi cần tiếp tục nghiên cứu mô phỏng theo hướng giảm đường kính dây nano, thay đổi chiều dài kênh dẫn, khảo sát độ co ngang cực cổng và thay đổi tỷ lệ chiều dài và chiều rộng kênh dẫn. Hơn thế, việc nghiên cứu mô phỏng theo các hướng phân cực khác nhau của vật liệu ZnO cũng cần thiết.

**TÀI LIỆU THAM KHẢO**

1. Thompson, S. E., Parthasarathy, S., Moore's

*law the future of Si microelectronics, Materials today*, 9, 20, (2006).

2. Ju, S., Lee, K., Yoon, M. H., Facchetti, A., Marks, T. J., Janes, D. B., *High performance ZnO nanowire field effect transistors with organic gate nanodielectrics: Effects of metal contacts and ozone treatment*, Nanotechnology, 18, 1, (2007).

3. Park, W. I., Kim, J. S., Yi, G., Bae, M. H., Lee, H., *Fabrication and electrical characteristics of high-performance ZnO nanorod field-effect transistors*, Applied Physics Letter, 85, 5052, (2004).

4. nanoHUB - Multi-gate Nanowire FET (2008). (<https://www.nanohub.org/resources/2704>).

5. Colinge, J., Xiong, W., *FETs and Other Multi-Gate Transistors*, Springer US, (2008).

6. Sekigawa, T., *Calculated threshold-voltage characteristics of an XMOS transistor having an additional bottom gate*, Solid State Electronics, 27, 827, (1984).

7. Auth, C., Allen, C., et al, *A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitor*, IEEE Transactions on Nanotechnology, 131, (2012).

8. Park, J. T., Colinge, J. P., Diaz, C. H., *Pi-gate SOI MOSFET*, IEEE Electron Device Letters, 22, 405, (2001).

9. Li, Y., Chou, H. M., Lee, J. W., *Investigation of electrical characteristics on surrounding-gate and omega-shaped-gate nanowire FinFETs*, IEEE Transactions on Nanotechnology, 4, 510, (2005).

10. Song, J. Y., Choi, W. Y., Park, J. H., Lee, J. D., Park, B. G., *Design optimization of gate-all-around (GAA) MOSFETs*, IEEE Transactions on Nanotechnology, 5, 186, (2006).